

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-029419

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

G09G 3/20
G09G 3/36**BEST AVAILABLE COPY**

(21)Application number : 10-196348

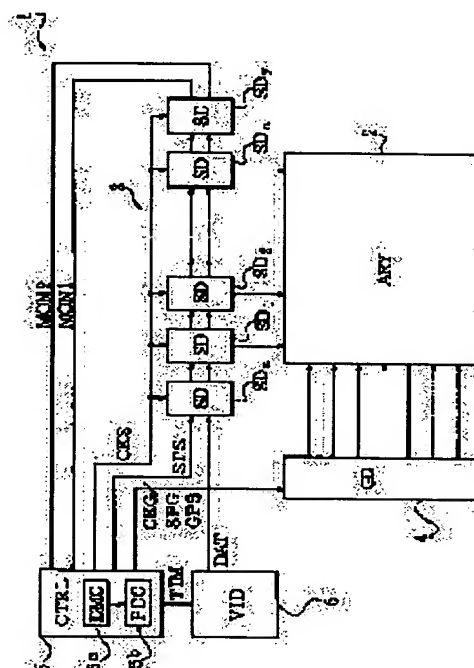
(71)Applicant : SHARP CORP

(22)Date of filing : 10.07.1998

(72)Inventor : KUBOTA YASUSHI
SHIRAKI ICHIRO
SAKAI TAMOTSU**(54) PICTURE DISPLAY DEVICE****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a picture display device in which the timing between video signals and sampling signals is optimized and a high quality picture display can be realized.

SOLUTION: The data signal line driving circuit 3 of the picture display device 1 is made up with video signal output blocks SD_i (i=x, 1, 2,..., n, y). Two detection signals MON1 and MON2 are outputted from a video signal output block SD_y which is a dummy circuit having no corresponding signal line. A delay amount detecting circuit 5a in a timing circuit 5 monitors the amount of the delay between the signals MON1 and MON2. A phase adjusting circuit 5b of the circuit 5 computes the supply timing of a clock signal CKS based on the amount of the delay, delays the timing and optimizes the timing (a phase difference) between the signal CKS and a video signal DAT, i.e., the timing (a phase difference) between the sampling signal of the signal DAT and the signal DAT.

**LEGAL STATUS**

[Date of request for examination]	27.07.2001
[Date of sending the examiner's decision of rejection]	12.08.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3499442
[Date of registration]	05.12.2003
[Number of appeal against examiner's decision of rejection]	2003-17774
[Date of requesting appeal against examiner's decision of rejection]	11.09.2003
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-29419
(P2000-29419A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	5 C 0 0 6
3/36		3/36	5 C 0 8 0

審査請求 未請求 請求項の数11 O L (全 23 頁)

(21)出願番号 特願平10-196348

(22)出願日 平成10年7月10日(1998.7.10)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

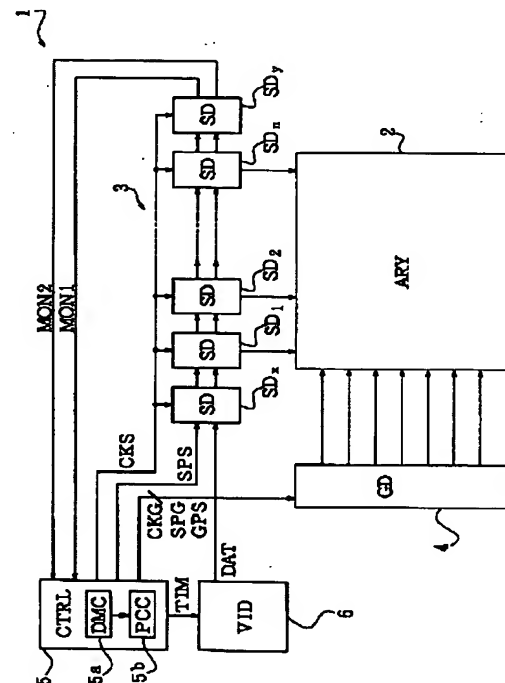
最終頁に続く

(54)【発明の名称】 画像表示装置

(57)【要約】

【課題】 映像信号とサンプリング信号とのタイミングの最適化を図り、高品位の画像表示を実現することが可能な画像表示装置を提供する

【解決手段】 画像表示装置1のデータ信号線駆動回路3を各映像信号出力ブロックSD_i (i=x, 1, 2, ..., n, y)で構成し、対応するデータ信号線が無いダミー回路としての映像信号出力ブロックSD_i から2つの検出信号MON1・MON2を出力する。タイミング回路5内の遅延量検出回路5aは上記検出信号MON1・MON2間の遅延量をモニターする。タイミング回路5内の位相調整回路5bは、この遅延量を基にクロック信号CKSの供給タイミングを算出してずらし、クロック信号CKSと映像信号DATとのタイミング(位相差)、すなわち、映像信号DATのサンプリング信号と映像信号DATとのタイミング(位相差)を最適化する。



【特許請求の範囲】

【請求項 1】書き込まれた映像信号を画像として表示する複数の画素をマトリクス状に配置してなる画素アレイと、上記映像信号を上記画素アレイに伝搬する複数のデータ信号線と、上記データ信号線の少なくとも 1 つに接続されるとともに上記映像信号をサンプリングして上記データ信号線に供給する複数の映像信号出力ブロックからなるデータ信号線駆動回路と、上記映像信号を上記データ信号線に供給するタイミングの制御を行うタイミング信号を上記データ信号線駆動回路に供給するタイミング回路とを有する画像表示装置において、上記データ信号線駆動回路内に供給された上記タイミング信号に基づいた信号を 2 箇所からそれぞれ検出信号として出力する検出信号出力回路と、上記検出信号に基づいて上記検出信号出力回路内の遅延量を検出する遅延量検出回路と、上記遅延量に基づいて上記タイミング信号と上記映像信号との位相差を調整する位相調整回路とをさらに有することを特徴とする画像表示装置。

【請求項 2】上記検出信号出力回路は、上記映像信号出力ブロックと回路構成が同等で上記データ信号線に接続されないダミー回路であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】上記映像信号出力ブロックは、上記タイミング信号に基づいた信号を出力するシフトレジスタ回路と、上記シフトレジスタ回路の出力信号を増幅するバッファ回路と、上記バッファ回路の出力信号によって上記映像信号をサンプリングして上記データ信号線に供給するサンプリング回路とを有し、上記検出信号は一方が上記シフトレジスタ回路の出力信号であり、他方が上記バッファ回路の出力信号であることを特徴とする請求項 1 または 2 に記載の画像表示装置。

【請求項 4】上記映像信号出力ブロックは、上記タイミング信号に基づいた信号を出力するシフトレジスタ回路と、上記シフトレジスタ回路の出力信号を増幅し複数段のゲート回路からなるバッファ回路と、上記バッファ回路の出力信号によって上記映像信号をサンプリングして上記データ信号線に供給するサンプリング回路とを有し、上記検出信号は一方が上記バッファ回路の初段のゲート回路の出力信号であり、他方が上記バッファ回路の出力信号であることを特徴とする請求項 1 または 2 に記載の画像表示装置。

【請求項 5】上記検出信号出力回路と上記遅延量検出回路との間に上記検出信号を増幅するバッファ回路をさらに有することを特徴とする請求項 1 ないし 4 のいずれかに記載の画像表示装置。

【請求項 6】上記位相調整回路が調整する上記位相差に相当する時間は、検出した上記遅延量の 1 次関数として求めた値に設定されることを特徴とする請求項 1 ないし 5 のいずれかに記載の画像表示装置。

【請求項 7】上記位相調整回路が調整する上記位相差に

相当する時間は、一定時間間隔を置いた離散値であり、検出した上記遅延量の 1 次関数として求めた値以上の大きさに設定されることを特徴とする請求項 1 ないし 5 のいずれかに記載の画像表示装置。

【請求項 8】上記データ信号線駆動回路が上記画素と同一基板上に形成されていることを特徴とする請求項 1 ないし 7 のいずれかに記載の画像表示装置。

【請求項 9】上記検出信号出力回路が上記データ信号線駆動回路と同一基板上に形成されており、上記検出信号出力回路の出力端子には電氣的衝撃から保護する保護回路が備えられていることを特徴とする請求項 8 に記載の画像表示装置。

【請求項 10】少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴とする請求項 8 または 9 に記載の画像表示装置。

【請求項 11】上記多結晶シリコン薄膜トランジスタが、ガラス基板上に 600℃以下のプロセスで形成されていることを特徴とする請求項 10 に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に代表される画像表示装置に関するものであり、特に映像信号をデータ信号線に出力するデータ信号線駆動回路の内部遅延を検出して、映像信号とタイミング信号との位相差の最適化を図ることにより、良好な画像表示を実現する構成に関するものである。

【0002】

【従来の技術】従来の画像表示装置の 1 つとしてアクティブ・マトリクス駆動方式の液晶表示装置が知られている。図 15 に液晶表示装置 51 のブロック図を示す。液晶表示装置 51 は、画素アレイ (ARY) 52、データ信号線駆動回路 (SD) 53、および走査信号線駆動回路 (GD) 54 から構成される。また、多数のデータ信号線 SL_i ($i = 1, 2, \dots, n$) と多数の走査信号線 GL_j ($j = 1, 2, \dots, m$) とが互いに交差した状態で画素アレイ 52 に接続されており、隣接する 2 つのデータ信号線 $SL_i \cdot SL_{i+1}$ と隣接する 2 つの走査信号線 $GL_j \cdot GL_{j+1}$ とで囲まれた部分に画素 (PIX) 52a が設けられ、これら画素 52a が全体としてマトリクス状に配置されている。

【0003】データ信号線駆動回路 53 には、外部からクロック信号 CKS、スタート信号 SPS、および映像信号 DAT が入力される。データ信号線駆動回路 53 は、このクロック信号 CKS などのタイミング信号に同期して、入力された映像信号 DAT をサンプリングし、必要に応じて増幅して各データ信号線 SL_i に書き込む働きをする。走査信号線駆動回路 54 には、外部からクロック信号 CKG、スタート信号 SPG、および同期信

号GPSが入力される。走査信号線駆動回路54は、このクロック信号CKGなどのタイミング信号に同期して、走査信号線GL_iを順次選択し、画素52a…内にあるスイッチング素子の開閉を制御することにより、各データ信号線SL_iに書き込まれた映像信号(データ)DATを各画素52aに書き込むとともに各画素52aに保持させる働きをする。

【0004】各画素52aは、図16示すように、スイッチング素子である電界効果トランジスタSWと、画素容量とから構成される。画素容量は、液晶容量CLおよび必要に応じて付加される補助容量CSからなる。同図では、電界効果トランジスタSWのドレインおよびソースを介してデータ信号線SL_iと画素容量の一方の電極とが接続されている。また、電界効果トランジスタSWのゲートは走査信号線GL_iに接続され、画素容量の他方の電極が全画素52a…に共通の共通電極線に接続されている。このような構成において、各液晶容量CLに電圧が印加されることにより液晶の透過率または反射率に変調されて画像表示が行われる。

【0005】次に、映像信号DATをデータ信号線SL_iに書き込む方式について述べる。データ信号線SL_iの駆動方式としては、点順次駆動方式と線順次駆動方式とがある。ここでは点順次駆動方式についてのみ述べる。

【0006】図17にデータ信号線駆動回路53、図18にその変形例であるデータ信号線駆動回路53'の構成例を示す。点順次駆動方式では、両図に示すように、ラッチLAT_i (i=x, 1, 2, ..., n, y)の各段からゲートブロックB_iまたはゲートブロックB_i'

(i=x, 1, 2, ..., n, y)を経て出力されるパルスに同期させてアナログスイッチAS_i (i=x, 1, 2, ..., n, y)を開閉することにより、映像信号線に入力された映像信号DATをi=1, 2, ..., nのそれぞれに対応するデータ信号線SL_iに書き込む。ラッチLAT_iはシフトレジスタ回路、ゲートブロックB_iまたはゲートブロックB_i'はバッファ回路、アナログスイッチAS_iはサンプリング回路の機能を有している。

【0007】ここで、図17の構成では、ラッチLAT_iから出力された信号N_i (i=x, 1, 2, ..., n, y)から直接サンプリング信号S_i・/S_i (/は位相反転したことを表す)を生成しているのに対し、図18の構成では、隣接する2つのラッチLAT_i・LAT_{i+1}の出力信号N_i・N_{i+1}の重なりパルスからサンプリング信号S_i・/S_iを生成している。ただし、x+1=1, n+1=y, y+1=zとする(以下同様)。いずれの構成においても、サンプリング信号S_i・/S_iの立ち下がり(終端)のタイミングにおける映像信号DATがデータ信号線SL_iに書き込まれる。

【0008】この映像信号DATのデータ信号線SL_iへの書き込みを図19のタイミングチャートを用いて以

下に説明する。まずデータ信号線駆動回路53・53'にスタート信号SPSが供給されると、各ラッチLAT_iへクロック信号CKSが順次供給され始める。各ラッチLAT_iは、同図に示すように、供給されたクロック信号CKSに対応する信号N_iを出力する。各信号N_iは、ゲートブロックB_iまたはゲートブロックB_i'を通して、対応するサンプリング信号S_i・/S_iとしてアナログスイッチAS_iに供給される(/S_iは図示していない)。

【0009】ここで、データD_i (i=1, 2, ..., n)からなる映像信号DATをアナログスイッチAS_iに供給する。このとき、サンプリング信号S_i・/S_iの立ち下がりのタイミングでデータD_iがサンプリングされるので、例えば、同図でサンプリング信号S_iが供給されるアナログスイッチAS_iにおいて、データD_iが供給されている間にサンプリング信号S_iが立ち下がるようなタイミングで映像信号DATの供給を行う。このようにしてサンプリングされたデータD_iはデータ信号線SL_iに書き込まれることになる。

【0010】ところで近年、液晶表示装置の小型化や高解像度化、実装コストの低減などのために、表示を司る画素アレイとその駆動回路とを同一基板上に一体形成する技術が注目を集めている。このような駆動回路一体型の液晶表示装置では、現在広く用いられている透過型液晶表示装置を構成する場合、その基板に透明基板を使う必要があるため、石英基板上やガラス基板上に構成することができると多結晶シリコン薄膜トランジスタを能動素子として用いることが多い。

【0011】

【発明が解決しようとする課題】前述したように、液晶表示装置51で代表される従来の画像表示装置、特に駆動回路を一体形成した画像表示装置においては、そのデータ信号線駆動回路は図17または図18に示すような構成をとっているが、これらのデータ信号線駆動回路53・53'内では有限の信号遅延が発生する。すなわち、図19に示すように、データ信号線駆動回路53・53'に入力されるクロック信号CKSと、映像信号DATをデータ信号線SL_iに書き込むタイミングとなるサンプリング信号S_i・/S_iとの時間差t₃は無視できない値となる。この時間差t₃は、データ信号線駆動回路53・53'を構成するトランジスタの特性(移動度やしきい値電圧など)やサイズなどによって決まる。

【0012】ここで、外部から与えられるクロック信号CKSや映像信号DATは、予めこの時間差t₃を見込んだタイミングで供給される。例えば、図19に示すように、映像信号DATのデータD_iがデータD_iに切り替わる直前にサンプリング信号S_iが立ち下がるように設定されている。(t₃≤t₄)。ところが、製造プロセスのばらつきなどのために、トランジスタの特性に差が生ずると、遅延時間にもばらつきが発生する。

10

20

30

40

50

【0013】このとき、図20に示すように、映像信号DATがデータD₁からデータD₂に切り替わった後にサンプリング信号S_iが立ち下がる($t_3 > t_5$)と、データ信号線SL_iにデータD₂が混入するので、本来のデータD₁とは異なるデータD₂が画素52aに供給されることになり、ゴーストや映像の滲みの原因となる。また、図21に示すように、サンプリング信号S_iが立ち下がってからずっと後に映像信号DATがデータD₁からデータD₂に切り替わる($t_3 \ll t_6$)と、データD₁をデータ信号線SL_iに書き込むための時間が不足するため、本来のデータD₁を完全に書き込むことができず、映像の滲みなどを引き起こすことになる。すなわち、高品位の画像表示を行うためには、サンプリング信号S_i/S_iの立ち下りのタイミングがデータD₁の供給時間中の適切な範囲内に収まっている必要がある。

【0014】特開平5-46118号公報には、このような表示画像の位置ずれを防ぐために、サンプリング信号と表示データとの両者を検出して同期信号(クロック信号)と表示データ(映像信号)とのタイミングを設定することが開示されている。しかし、これは表示データに対応するサンプリング信号があるか否かを検出して、サンプリング信号の周期単位で両信号のタイミングを調整するものであるため、精度の高い調整を行うには限界があるという問題を含む。

【0015】本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、映像信号とサンプリング信号とのタイミングの最適化を図り、高品位の画像表示を実現することが可能な画像表示装置を提供することにある。

【0016】

【課題を解決するための手段】請求項1に係る発明の画像表示装置は、上記課題を解決するために、書き込まれた映像信号を画像として表示する複数の画素をマトリクス状に配置してなる画素アレイと、上記映像信号を上記画素アレイに伝搬する複数のデータ信号線と、上記データ信号線の少なくとも1つに接続されるとともに上記映像信号をサンプリングして上記データ信号線に供給する複数の映像信号出力ブロックからなるデータ信号線駆動回路と、上記映像信号を上記データ信号線に供給するタイミングの制御を行うタイミング信号を上記データ信号線駆動回路に供給するタイミング回路とを有する画像表示装置において、上記データ信号線駆動回路内に供給された上記タイミング信号に基づいた信号を2箇所からそれぞれ検出信号として出力する検出信号出力回路と、上記検出信号に基づいて上記検出信号出力回路内の遅延量を検出する遅延量検出回路と、上記遅延量に基づいて上記タイミング信号と上記映像信号との位相差を調整する位相調整回路とをさらに有することを特徴としている。

【0017】上記の発明によれば、検出信号出力回路内

の所定の2箇所から出力される検出信号の位相差は、データ信号線駆動回路に供給されたクロック信号などの映像信号用タイミング信号のデータ信号線駆動回路内において伝搬する際の遅延時間に起因している。従って、これらの検出信号間の遅延量を遅延量検出回路によって検出すれば、サンプリング信号と映像信号との位相差、すなわちタイミング信号と映像信号との位相差を求めることができる。そして、位相調整回路はこの位相差を好ましい値に調整する。

【0018】このように、2つの検出信号間の遅延量を常時モニターし、これを基にタイミング信号と映像信号とをデータ信号線駆動回路に供給するタイミングを調整するので、供給初期の遅延量のばらつきだけでなく、動作中の遅延量の変動にもリアルタイムに追従する。このため、例えば、データ信号線駆動回路を構成するトランジスタの初期特性のばらつきだけでなく、その経時変化に対しても対応することができる。ところで、この遅延量のモニターおよびタイミングの調整は常時行ってもよいが、経時変化が特に大きくない場合には、一定時間ごとまたは電源投入時のみに行うようにしてもよい。

【0019】また、2つの検出信号間の遅延量、すなわち時間差を用いているので、検出信号出力回路から位相調整回路までの配線遅延の影響は相殺される。従って、検出信号出力回路と位相調整回路とを接続する配線の負荷(抵抗および容量)が配線によって変わる場合や、その正確な値が不明である場合にも問題なく対応することができる。

【0020】この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができる。

【0021】請求項2に係る発明の画像表示装置は、上記課題を解決するために、請求項1に記載の画像表示装置において、上記検出信号出力回路は、上記映像信号出力ブロックと回路構成が同等で上記データ信号線に接続されないダミー回路であることを特徴としている。

【0022】検出信号出力回路が検出信号を外部へ出力する場合、データ信号線駆動回路内の信号検出部分に容量負荷が新たに付加されるため、サンプリング信号などが微妙に変化することがある。その場合、データ信号線への映像信号の書き込みタイミングがずれ、画像表示に不具合を発生させる虞がある。

【0023】上記の発明によれば、映像信号出力ブロックと回路構成が同等でデータ信号線に接続されない、すなわち、映像信号出力ブロックと同じ信号形態をとりながら画像表示と無関係なダミー回路から検出信号を取り出すので、検出に際して画像表示に影響を与えることがない。

【0024】請求項3に係る発明の画像表示装置は、上記課題を解決するために、請求項1または2に記載の画像表示装置において、上記映像信号出力ブロックは、上

記タイミング信号に基づいた信号を出力するシフトレジスタ回路と、上記シフトレジスタ回路の出力信号を増幅するバッファ回路と、上記バッファ回路の出力信号によって上記映像信号をサンプリングして上記データ信号線に供給するサンプリング回路とを有し、上記検出信号は一方が上記シフトレジスタ回路の出力信号であり、他方が上記バッファ回路の出力信号であることを特徴としている。

【0025】本来、位相調整回路は、タイミング信号と映像信号とのタイミングを最適化するものであるから、データ信号線駆動回路内のある位置でのタイミング信号と、それに対応する映像信号を取り込むためのサンプリング信号（バッファ回路の出力信号）との時間差を用いることが理想的である。しかし、クロック信号などのタイミング信号は周期パルスとして供給されるため、どのパルスのエッジが所定の映像信号に対応するかを判断するには複雑な回路が必要になる。

【0026】上記の発明によれば、検出信号としてシフトレジスタ回路の出力信号とバッファ回路の出力信号（サンプリング信号）とを用いる。これらの信号は、それぞれ1水平期間当たり1回だけ出力されるパルスで必ず対応するものであるから、極めて単純な回路構成の遅延量検出回路で遅延量を検出することができる。ここで、シフトレジスタ回路の出力信号は、タイミング信号より幾分遅れて出力されるが、その差はシフトレジスタ回路内での遅延時間分のみで、他の回路（バッファ回路など）内での遅延量に比べて小さいため、検出した遅延量をタイミング信号とサンプリング信号との間の位相差に換算するのは容易である。

【0027】請求項4に係る発明の画像表示装置は、上記課題を解決するために、請求項1または2に記載の画像表示装置において、上記映像信号出力ブロックは、上記タイミング信号に基づいた信号を出力するシフトレジスタ回路と、上記シフトレジスタ回路の出力信号を増幅し複数段のゲート回路からなるバッファ回路と、上記バッファ回路の出力信号によって上記映像信号をサンプリングして上記データ信号線に供給するサンプリング回路とを有し、上記検出信号は一方が上記バッファ回路の初段のゲート回路の出力信号であり、他方が上記バッファ回路の出力信号であることを特徴としている。

【0028】一般に、シフトレジスタ回路を構成するトランジスタはサイズが小さく、その駆動能力も小さいため、信号検出に伴う容量負荷増大の影響を受けやすい。従って、検出信号間の遅延量に対する検出精度を損なう可能性がある。このため、駆動能力がある程度大きいゲート回路を通過した後の信号を検出するのが望ましい。

【0029】上記の発明によれば、検出信号の一方をシフトレジスタ回路からゲート回路1段通過した後の信号とするので、遅延量の検出精度の問題を回避することができる。また、この場合にも請求項3の場合と同様に、

極めて単純な回路構成の遅延量検出回路で遅延量を検出することができる。ただし、この構成では一方の検出信号がシフトレジスタ回路および初段のゲート回路内における遅延時間分だけ遅れているので、その分を補正することになる。しかし、この補正についても、請求項3の場合と同様に、検出した遅延量をタイミング信号とサンプリング信号との間の位相差に換算するのは容易である。

【0030】請求項5に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし4のいずれかに記載の画像表示装置において、上記検出信号出力回路と上記遅延量検出回路との間に上記検出信号を増幅するバッファ回路をさらに有することを特徴としている。

【0031】検出信号をそのまま遅延量検出回路に入力させようとすると、検出信号出力回路から遅延量検出回路までの配線負荷などの影響で検出信号に波形なまりが生じ、正確な遅延量を検出することができなくなる虞がある。

【0032】上記の発明によれば、検出信号をバッファ回路を介して遅延量検出回路に入力させるので、例えばバッファ回路の初段のゲート回路の入力容量を小さくすることにより、信号検出箇所の負荷の増大を影響のないレベルにまで低減させることができるとともに、バッファ回路の最終段の駆動能力を大きくすることにより、遅延量検出回路までの配線負荷などの影響が現れないようにすることができる。

【0033】請求項6に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし5のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、検出した上記遅延量の1次関数として求めた値に設定されることを特徴としている。

【0034】前述したように、2つの検出信号の一方をシフトレジスタ回路の出力信号、あるいはシフトレジスタ回路からゲート回路1段だけ通過した後の信号とし、他方をサンプリング信号（バッファ回路の出力信号）とした場合、この2つの検出信号間の遅延量（位相差）は、タイミング信号（クロック信号）に対するサンプリング信号の遅延量とは異なる値となる。具体的には、前述のように、シフトレジスタ回路内やゲート回路内での信号の遅延量（信号伝搬時間）だけ短い値となっている。

【0035】上記の発明によれば、位相調整回路は、タイミング信号に対するサンプリング信号の遅延量を、2つの検出信号間の遅延量の1次関数として求めた値に設定する。シフトレジスタ回路内や初段のゲート回路内での信号の遅延量（信号伝搬時間）も、構成するトランジスタの特性のばらつきや経時変化によって変動するが、同一のデータ信号線駆動回路内では、このような特性のばらつきや経時変化に大きな差はないので、2つの検出

信号間の遅延量（バッファ回路などの内部での遅延量）から推定することができる。例えば、バッファ回路内での遅延量が30%増大した場合、シフトレジスタ回路などの内部での遅延量も約30%増大すると考えても問題ない。

【0036】一方、位相調整回路（多くの場合、タイミング回路に内蔵されている）から出力される信号と、これを基に生成されるクロック信号などのタイミング信号や映像信号との間にもそれぞれの信号生成に関係する遅延量が存在する。これらの信号生成を司る回路は、一般に外部ICで構成されており、データ信号線駆動回路とは異なるトランジスタで構成されているので、その遅延量はほぼ一定の値をとる。

【0037】この結果、タイミング信号に対するサンプリング信号の遅延量の最適値は、2つの検出信号間の遅延量に比例する部分と、比例しない一定部分とからなると近似することができる。すなわち、タイミング信号と映像信号との位相差を最適値にするための調整時間を、2つの検出信号間の遅延量を変数とする1次関数として近似することができる。これにより、調整する位相差を極めて単純な回路で算出できるとともに、このような回路構成を含む位相調整回路を容易に実現することができる。

【0038】請求項7に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし5のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、一定時間間隔を置いた離散値であり、検出した上記遅延量の1次関数として求めた値以上の大きさに設定されることを特徴としている。

【0039】タイミング信号を生成する回路を初め全ての回路は、そのシステムでの最高の周波数のタイミング信号である原クロック信号を基に、これを分周したクロック信号で駆動されている。従って、位相調整回路が調整する時間も、この原クロック信号の1周期（またはパルス幅）を単位とすることが望ましい。これよりも短い時間間隔で調整しようとする場合には、新たに高周波の信号を容易しなければならない。

【0040】上記の発明によれば、位相調整回路が調整する位相差に相当する時間は、例えばこのような原クロック信号を用いて、その1周期（またはパルス幅）単位で変化させることにより一定時間間隔を置いた離散値に設定される。この原クロック信号の周波数は、データ信号線駆動回路のクロック周波数よりも数倍大きいので、原クロック信号の時間（周期）間隔での位相調整でも問題はない。さらに、サンプリング信号の立ち下がり映像信号の切り替わりよりも後になることを避けるために、上記離散値は2つの検出信号間の遅延量の1次関数として求めた値以上に設定される。

【0041】この結果、新たに高周波のクロック信号を

追加することなく十分な精度でタイミング信号と映像信号との位相調整を行うことができ、高品位の画像表示を実現することができる。

【0042】請求項8に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし7のいずれかに記載の画像表示装置において、上記データ信号線駆動回路が上記画素と同一基板上に形成されていることを特徴としている。

【0043】上記の発明によれば、画像表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路とを同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率の向上を図ることができる。

【0044】請求項9に係る発明の画像表示装置は、上記課題を解決するために、請求項8に記載の画像表示装置において、上記検出信号出力回路が上記データ信号線駆動回路と同一基板上に形成されており、上記検出信号出力回路の出力端子には電氣的衝撃から保護する保護回路が備えられていることを特徴としている。

【0045】画像表示装置の製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などの電氣的衝撃に対処するために、回路の入力端子には保護回路を付加する場合が多い。

【0046】上記の発明によれば、検出信号出力回路の出力端子に保護回路が備えられている。一般に画像表示装置には出力端子が存在しないのに対して、本発明の画像表示装置においては、遅延量検出の対象となる検出信号を外部に出力するための出力端子が必要である。この出力端子についても保護回路を付加することが、製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などへの有効な対策となる。この保護回路については、必ずしも入力端子の保護回路と同一のものである必要はなく、保護性能や出力インピーダンスなどを考慮し、出力端子用として最適な構成のものをいれればよい。

【0047】この結果、出力端子からの静電気破壊や過大入力による破壊を抑制することができ、画像表示装置の良品率の大幅な向上を図ることができる。

【0048】請求項10に係る発明の画像表示装置は、請求項8または9に記載の画像表示装置において、少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴としている。

【0049】上記の発明によれば、多結晶シリコン薄膜トランジスタを用いて能動素子を形成することにより、例えば従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタと比較して極めて駆動力の高い特性が得られるので、画素およびデータ信号線駆動回路を容易に同一基板上に形成することができる。

【0050】請求項11に係る発明の画像表示装置は、請求項10に記載の画像表示装置において、上記多結晶シリコン薄膜トランジスタが、ガラス基板上に600℃以下のプロセスで形成されていることを特徴としている。

【0051】上記の発明によれば、600℃以下のプロセス温度で多結晶シリコン薄膜トランジスタを形成するので、歪み点温度が低いものの、安価で大型化が容易なガラスを基板として用いることができ、大型の画像表示装置を低コストで製造することができる。

【0052】

【発明の実施の形態】〔実施の形態1〕本発明の画像表示装置の実施の一形態について図1ないし図10に基づいて説明すれば、以下の通りである。

【0053】図2に、本実施の形態の画像表示装置1の概念的なブロック図を示す。画像表示装置1は、画素アレイ(ARY)2、データ信号線駆動回路(SD)3、走査信号線駆動回路(GD)4、タイミング回路(CTRL)5、および映像信号処理回路(VID)6から構成される。

【0054】画素アレイ2には、互いに交差した多数のデータ信号線 SL_i ($i=1, 2, \dots, n$)と多数の走査信号線 GL_j ($j=1, 2, \dots, m$)とが接続されており、隣接する2つのデータ信号線 $SL_i \cdot SL_{i+1}$ と隣接する2つの走査信号線 $GL_j \cdot GL_{j+1}$ とで囲まれた部分に画素(PIX)2aが設けられ、これら画素2aは全体としてマトリクス状に配置されている。

【0055】データ信号線駆動回路3は、後述するクロック信号CKSなどのタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して各データ信号線 SL_i に書き込む働きをする。走査信号線駆動回路4は、クロック信号CKGなどのタイミング信号に同期して、走査信号線 GL_j を順次選択し、画素内にあるスイッチング素子の開閉を制御することにより、各データ信号線 SL_i に書き込まれた映像信号DATとしてのデータ D_i を各画素2aに書き込むとともに各画素2aに保持させる働きをする。

【0056】また、データ信号線駆動回路3から、その内部遅延量を検出する2つの検出信号MON1・MON2が、タイミング回路5に入力されている。タイミング回路5内では、遅延量検出回路(DMC)5aがこれら検出信号MON1・MON2間の遅延量を検出し、これを基に、位相調整回路(PCC)5bがクロック信号CKSと映像信号DATとの最適な出力タイミング(位相差)を算出して調整する。

【0057】タイミング回路5は、このように調整したクロック信号CKSおよびスタート信号SPSをタイミング信号としてデータ信号線駆動回路3に、また、クロック信号CKG、スタート信号SPG、および同期信号GPSをタイミング信号として走査信号線駆動回路4に

供給する一方、映像信号制御信号TIMをタイミング信号として映像信号処理回路6に供給している。映像信号処理回路6は、映像信号制御信号TIMに基づいて映像信号DATをデータ信号線駆動回路3に供給している。

【0058】図1は、図2の画像表示装置1のデータ信号線駆動回路3の部分をより詳細に示したブロック図である。ただし画素アレイ2内の画素2aは省略してある。図1においては、図2のデータ信号線駆動回路3を映像信号出力ブロック SD_i ($i=x, 1, 2, \dots,$

10 n, y) ごとに分割して描いてある。各映像信号出力ブロック SD_i は等価な回路で構成されており、このうち映像信号出力ブロック SD_i ($i=1, 2, \dots, n$)はそれぞれ1本のデータ信号線 SL_i に接続されている。なお、場合によって複数のデータ信号線に接続されていてもよい。

【0059】また、映像信号出力ブロック SD_i ($i=x, y$)は、対応するデータ信号線が無いダミー回路である。そして、このダミー回路の一方(同図では映像信号出力ブロック SD_i)は、検出信号出力回路として検出信号MON1・MON2をタイミング回路5に向けて出力する。このような構成とすることにより、後述するように、検出信号MON1・MON2の出力に起因した、データ信号線駆動回路3内における信号伝搬特性の擾乱を防止することができる。

【0060】図3、図4および図6は、図1に示すデータ信号線駆動回路3の映像信号出力ブロック SD_i をより詳細に示した回路図である。また、図5のデータ信号線駆動回路3'はデータ信号線駆動回路3の変形例である。図3、図4、および図6において、映像信号出力ブロック SD_i は、ラッチLAT_i ($i=x, 1, 2, \dots, n, y$)、ゲートブロックB_i ($i=x, 1, 2, \dots, n, y$)、およびアナログスイッチAS_i ($i=x, 1, 2, \dots, n, y$)から構成される。この場合、ラッチLAT_iはシフトレジスタ回路、ゲートブロックB_iはバッファ回路、アナログスイッチAS_iはサンプリング回路の機能を有している。

【0061】ラッチLAT_iは、ゲートブロックB_iを介してアナログスイッチAS_iに接続されており、クロック信号CKSとスタート信号SPSとが入力されるとそれに基づいた信号N_i ($i=x, 1, 2, \dots, n, y$)をゲートブロックB_iに出力する。ゲートブロックB_iは、ラッチLAT_iからの信号N_iを取り込んで保持・増幅するとともに、必要に応じて反転信号を生成し、サンプリング信号 $S_i \cdot /S_i$ ($i=x, 1, 2, \dots, n, y$)としてアナログスイッチAS_iに出力するものであり、ゲート回路としての数段のインバータG1~G4で構成される。サンプリング信号 S_i は信号N_iをインバータG1・G2で2回位相反転した信号であり、サンプリング信号 $/S_i$ は信号N_iインバータG1・G3・G4で3回位相反転した信号であるから、結

局、サンプリング信号 S_i はサンプリング信号 S_i を1回位相反転した信号となる。

【0062】アナログスイッチ AS_i は、ゲートにHighレベルの信号が入力されたときにソース・ドレイン間がON状態となる電界効果トランジスタ AS_a と、ゲートにLowレベルの信号が入力されたときにソース・ドレイン間がON状態となる電界効果トランジスタ AS_b とが並列に接続された構成となっている。すなわち、電界効果トランジスタ AS_a ・ AS_b はともに、サンプリング信号 S_i が立ち上がったとき（すなわちサンプリング信号 S_i が立ち下がったとき）にチャンネルが導通し、サンプリング信号 S_i が立ち下がったとき（すなわちサンプリング信号 S_i が立ち上がったとき）にチャンネルが遮断されるような極性となっている。

【0063】このような構成のアナログスイッチ AS_i は、ラッチLAT $_i$ からの信号 N_i がゲートブロック B_i を経て生成されるサンプリング信号 S_i ・ S_i によって映像信号DATとしてのデータ D_i を、データ信号線 SL_i に書き込む役割を果たしている。ここで、ラッチLAT $_i$ 1段につきデータ信号線 SL_i 1本が対応しているが、これに限ることはなく、複数のデータ信号線が対応する構成としてもよい。その場合、映像信号DATが送られる映像信号線を必要に応じて増加させるとよい。

【0064】また、図5のデータ信号線駆動回路3'は、シフトレジスタ回路のラッチLAT $_i$ に隣接させてラッチLAT $_i$ を配し、前述のゲートブロック B_i の代わりにゲートブロック B_i' を配した構成としている。ゲートブロック B_i' は、初段のゲート回路にNAND回路G5を設け、ラッチLAT $_i$ からの信号 N_i と、ラッチLAT $_{i+1}$ からの信号 N_{i+1} との論理積否定をとって後段のインバータG2およびインバータG3・G4へ向けて出力する。アナログスイッチ AS_i の構成および機能は前述と同様である。

【0065】図3、図4、図6のデータ信号線駆動回路3、および図5のデータ信号線駆動回路3'のいずれにおいても、2つの検出信号MON1・MON2は、対応するデータ信号線の無い映像信号出力ブロックSD $_i$ または映像信号出力ブロックSD $_i$ から取り出している。このように映像信号出力ブロックSD $_i$ ・SD $_i$ から検出信号MON1・MON2を外部に出力すると、信号検出部分に容量負荷が新たに付加されることによってサンプリング信号 S_i ・ S_i が影響を受けるが、画像表示には無関係であるため都合がよい。なお、図3ないし図5では2つの検出信号MON1・MON2を最終段に位置する映像信号出力ブロックSD $_i$ から取り出しているのに対し、図6では初段に位置する映像信号出力ブロックSD $_i$ から取り出している。検出信号MON1・MON2は、いずれから取り出しても構わないが、遅延量検出回路5aへの接続が容易な位置から取り出すのが好まし

い。

【0066】ここで、図3では、検出信号MON1はラッチLAT $_i$ からの信号 N_i であり、検出信号MON2はサンプリング信号 S_i である。図6では、検出信号MON1はラッチLAT $_i$ からの信号 N_i であり、検出信号MON2はサンプリング信号 S_i である。また、図4および図5では、検出信号MON1はラッチLAT $_i$ からゲート回路1段（図4ではインバータG1、図5ではNAND回路G5）を経た信号であり、検出信号MON2はサンプリング信号 S_i である。

【0067】本来、位相調整回路5bは、クロック信号CKSと映像信号DATとのタイミングを最適化するものであるから、データ信号線駆動回路3・3'内のある位置でのクロック信号CKSと、それに対応する映像信号DATを取り込むためのサンプリング信号 S_i ・ S_i との時間差を用いることが理想的である。しかし、クロック信号CKSは非常に短い周期のパルスとして供給されるため、どのパルスのエッジが所定の映像信号DATに対応するかを判断するには複雑な回路が必要になる。

【0068】そこで、前述のように、検出信号MON1として、ラッチLAT $_i$ からの信号 N_i 、あるいはラッチLAT $_i$ からの信号 N_i を用い、検出信号MON2として、サンプリング信号 S_i ・ S_i を用いる。これらの信号は、それぞれ1水平期間当たり1回だけ出力されるパルスであって、互いに必ず対応するものであるから、極めて単純な回路構成の遅延量検出回路5aで遅延量を検出することができる。ここで、例えば、ラッチLAT $_i$ ・LAT $_i$ からの信号 N_i ・ N_i は、クロック信号CKSより幾分遅れて出力されるが、その差はラッチLAT $_i$ ・LAT $_i$ 内での遅延時間分のみで、他の回路（ゲートブロック B_i ・ B_i など）を通したときの遅延量に比べて小さいため、検出した遅延量をクロック信号CKSとサンプリング信号 S_i ・ S_i との間の位相差に換算するのは容易である。

【0069】また、一般に、シフトレジスタ回路を構成するトランジスタはサイズが小さく、その駆動能力も小さいため、信号検出に伴う容量負荷増大の影響を受けやすい。従って、検出信号MON1・MON2間の遅延量に対する検出精度を損なう可能性がある。このため、駆動能力がある程度大きいゲート回路を通過した後の信号を検出するのが望ましい。

【0070】そこで、前述のように、検出信号MON1をラッチLAT $_i$ からゲート回路1段を経た信号とし、検出信号MON2をサンプリング信号 S_i とすると、遅延量の検出精度の問題を回避することができる。また、この場合にも極めて単純な回路構成の遅延量検出回路5aで遅延量を検出することができる。ただし、この構成では検出信号MON1がラッチLAT $_i$ および初段のゲート回路であるインバータG1あるいはNAND回路G5内における遅延時間分だけ遅れているので、その分を

補正することになる。しかし、この補正についても前述の場合と同様であるので、検出した遅延量をクロック信号CKSとサンプリング信号S_iとの間の位相差に換算するのは容易である。

【0071】次に、図3に示す構成のデータ信号線駆動回路3の映像信号出力ブロックSD_iと遅延量検出回路5aとの間に、2つの検出信号MON1・MON2をそれぞれ増幅して出力するためのバッファ回路7・7を追加した例を図7に示す。検出信号MON1・MON2をそのまま遅延量検出回路5aに入力させようとすると、映像信号出力ブロックSD_iから遅延量検出回路5aまでの配線負荷などの影響で検出信号に波形なまりが生じ、正確な遅延量を検出することができなくなる虞がある。

【0072】上述の構成によれば、検出信号MON1・MON2をそれぞれバッファ回路7を介して遅延量検出回路5aに入力させるので、例えばバッファ回路7の初段のゲート回路7aをサイズの小さなトランジスタで構成して入力容量を小さくすることにより、信号検出箇所の負荷の増大による信号伝搬特性の擾乱を最小限に抑えることができる。また、バッファ回路7の最終段のゲート回路7bをサイズの大きなトランジスタで構成して駆動能力を大きくする（出力インピーダンスを小さくすることにより、遅延量検出回路5aまでの信号の歪みを抑え、検出信号MON1・MON2の時間的検出精度を向上させることができる。このような構成における各信号波形の例を図8に示す。

【0073】図8において、ラッチLAT_iから出力される信号N_iとサンプリング信号S_iとの遅延量t₁は、その間のゲートブロックB_i内での遅延量に相当するが、データ信号線駆動回路3内でこれを構成するトランジスタの特性がほぼ均一であると仮定した場合、各映像信号出力ブロックSD_iでこの遅延量t₁はほぼ同一である。また、検出信号MON1は信号N_iに対して、検出信号MON2はサンプリング信号S_iに対して、それぞれバッファ回路7内での遅延量t₀だけ遅れて遅延量検出回路5aに出力される。従って、検出信号MON1・MON2間の遅延量は信号N_iとサンプリング信号S_iとの遅延量t₁に等しい。

【0074】これに対し、遅延量検出回路5aは検出信号MON1・MON2間の遅延量t₁を検出し、これに基づいて位相調整回路5bがサンプリング信号S_iと映像信号DATの各データD_iとのタイミングを調整して最適化する。検出した遅延量t₁に基づけば、映像信号DATの各データD_iは、それぞれに対応するクロック信号CKSに対して遅延量t₂だけ遅れるようにすればよいことが分かる。従って、同図の場合、サンプリング信号S_iが映像信号DATの各データD_iの供給時間内の所定の位置にて立ち下がるようにするために、クロック信号CKSを破線で示した状態から実線で示した状態

へシフトさせることにより位相差としての遅延量t₂を設定してタイミングの最適化を行っている。

【0075】次に、遅延量t₁から遅延量t₂を求める方法について説明する。ラッチLAT_i内や初段のゲート回路であるインバータG₁内での信号の遅延量は、これらの回路を構成するトランジスタの特性のばらつきや経時変化によって変動するが、同一のデータ信号線駆動回路3内では、このような特性のばらつきや経時変化に大きな差はないので、2つの検出信号MON1・MON2間の遅延量t₁から推定することができる。例えば、ゲートブロックB_i内での遅延量が30%増大した場合、ラッチLAT_iなどの内部での遅延量も約30%増大すると考えても問題ない。

【0076】一方、位相調整回路5bから出力される信号と、これを基に生成されるクロック信号CKSと映像信号DATの各データD_iとの間にもそれぞれの信号生成に関係する遅延量が存在する。これらの信号生成を司る回路は、一般に外部ICで構成されており、データ信号線駆動回路3とは異なるトランジスタで構成されているので、その遅延量はほぼ一定の値をとる。

【0077】この結果、クロック信号CKSに対するサンプリング信号S_iの遅延量の最適値は、2つの検出信号MON1・MON2間の遅延量t₁に比例する部分と、比例しない一定部分とからなると近似することができる。すなわち、クロック信号CKSと映像信号DATの各データD_iとの位相差を最適値にするための調整時間を、図9に示すように、2つの検出信号MON1・MON2間の遅延量t₁を変数とする1次関数($t_2 = A \cdot t_1 + B$)として近似することができる。ここで、AおよびBは定数であり、実験から経験的に求めるか、シミュレーションにより算出することができる。これにより、調整する位相差を極めて単純な回路で算出することができるとともに、このような回路構成を含む位相調整回路5bを容易に実現することができる。

【0078】ところで、クロック信号CKSと映像信号DATの各データD_iとの間の遅延量t₂は、位相調整回路5bを備えるタイミング回路5で制御するため、どのような値でも自由にとることができる訳ではなく、タイミング回路5の動作周波数によって制限される。つまり、タイミング信号を生成する回路を初め全ての回路は、そのシステムでの最高の周波数の原クロック信号を基に、これを分周したクロック信号で駆動されているので、位相調整回路5bが調整する時間もこの原クロック信号の1周期（またはパルス幅）を単位とするのが限界である。これよりも短い時間間隔で調整しようとする場合には、より高周波の信号を新たに容易しなければならない。

【0079】このため、位相調整回路5bが調整する遅延量t₂は、このような原クロック信号を用いて、その1周期（またはパルス幅）単位で変化させることによ

り、図10に示すような一定時間間隔Tを置いた離散値に設定される。この原クロック信号の周波数は、データ信号線駆動回路3のクロック周波数よりも数倍大きいので、原クロック信号の時間(周期)間隔での位相調整でも問題はない。さらに、サンプリング信号 S_i の立ち下がり映像信号DATの各データ D_i の切り替わりよりも後になることを避けるために、上記離散値は2つの検出信号MON1・MON2間の遅延量 t_1 の1次関数として求めた値($A \cdot t_1 + B$)以上の値に設定される。

【0080】これにより、新たに高周波のクロック信号を追加することなく充分な精度でクロック信号CKSと映像信号DATの各データ D_i との位相調整を行うことができ、高品位の画像表示を実現することができる。

【0081】以上述べたように、本発明の画像表示装置によれば、2つの検出信号間の遅延量を常時モニターし、これを基に映像用タイミング信号と映像信号とをデータ信号線駆動回路に供給するタイミングを調整するので、供給初期の遅延量のばらつきだけでなく、動作中の遅延量の変動にもリアルタイムに追従する。このため、例えば、データ信号線駆動回路を構成するトランジスタの初期特性のばらつきだけでなく、その経時変化に対しても対応することができる。ところで、この遅延量のモニターおよびタイミングの調整は常時行ってもよいが、経時変化が特に大きくない場合には、一定時間ごとまたは電源投入時のみに行うようにしてもよい。

【0082】また、2つの検出信号間の遅延量、すなわち時間差を用いているので、検出信号出力回路から位相調整回路までの配線遅延の影響は相殺される。従って、検出信号出力回路と位相調整回路とを接続する配線の負荷(抵抗および容量)が配線によって変わる場合や、その正確な値が不明である場合にも問題なく対応することができる。この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができる。

【0083】〔実施の形態2〕本発明の画像表示装置の他の実施の形態について図11ないし図14を用いて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した構成要素と同一の機能を有する構成要素については、同一の符号を付し、その説明を省略する。

【0084】図11に本実施の形態の画像表示装置11のブロック図を示す。画像表示装置11は、多数の画素(PIX)2a…からなる画素アレイ(ARY)2、データ信号線駆動回路(SD)3、走査信号線駆動回路(GD)4、タイミング回路(CTRL)5、および外部電源回路(VGEN)12から構成される。このうち、画素アレイ2、データ信号線駆動回路3、および走査信号線駆動回路4は、ドライバモノリシック構造とするために同一基板SUB上に構成されており、実施の形態1で述べたタイミング回路5からの各信号と、外部電

源回路12からの駆動電源とによって駆動されている。

【0085】外部電源回路12は、高電位側の電源電圧VSHと低電位側の電源電圧VSLとをデータ信号線駆動回路3に出力するとともに、高電位側の電源電圧VGHと低電位側の電源電圧VGLとを走査信号線駆動回路4に出力するようになっている。また、基板SUBの共通電極に共通電位COMを出力するようになっている。そして、検出信号MON1・MON2がデータ信号線駆動回路3からタイミング回路5に入力されている。なお、図示しないが、タイミング回路5内には実施の形態1と同様に遅延量検出回路および位相調整回路が設けられている。

【0086】このような構成の画像表示装置11において、検出信号MON1・MON2は、基板SUB上のデータ信号線駆動回路3内の図示しない検出信号出力回路から外部配線を介して基板SUB外部のタイミング回路5に出力されるので、信号波形の歪みなどが顕著になる可能性がある。従って、実施の形態1と同様に、検出信号MON1・MON2をバッファ回路により増幅してタイミング回路5に出力することが望ましい。

【0087】また、データ信号線駆動回路3を、場合によっては走査線信号駆動回路4とともに画素アレイ2(すなわち画素2a…)と同一基板SUB上にモノリシックに形成することにより、これらを別々に構成して実装するよりも駆動回路の製造コストや実装コストの低減および信頼性の向上を図ることができる。

【0088】ここで、基板SUB上にデータ信号線駆動回路3が配置され、基板SUB外部にタイミング回路5が配置されているので、データ信号線駆動回路3の内部遅延をモニターするための検出信号MON1・MON2は、出力端子を介して出力されることになる。一般に、画像表示装置の製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などの電気的衝撃に対処するために、回路の入力端子には保護回路を付加する場合が多い。

【0089】通常の画像表示装置には出力端子が存在しないのに対して、本実施の形態の画像表示装置11においては、上述のように、検出信号MON1・MON2を外部に出力するための出力端子が必要である。そこで、図12に示すように、タイミング回路5から出力される各信号の入力端子とともに、検出信号MON1・MON2の出力端子にも保護回路(PRT)13を設けることとする。このように、出力端子についても保護回路13を付加することが、製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などへの有効な対策となる。

【0090】この保護回路13については、必ずしも入力端子の保護回路13と同一のものである必要はなく、保護性能や出力インピーダンスなどを考慮し、出力端子用として最適な構成のものを用いればよい。この結果、

10

20

30

40

50

出力端子からの静電気破壊や過大入力による破壊を抑制することができ、画像表示装置11の良品率の大幅な向上を図ることができる。

【0091】次に、図13および図14(a)～(k)を用いて、画像表示装置11を構成する能動素子としての多結晶シリコン薄膜トランジスタ21について述べる。多結晶シリコン薄膜トランジスタ21は、例えば従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタと比較して極めて駆動力の高い特性が得られる。図13に、多結晶シリコン薄膜トランジスタ21の構造断面図を示す。

【0092】多結晶シリコン薄膜トランジスタ21は、絶縁性基板22上にシリコン酸化膜23を介して多結晶シリコン薄膜からなる活性層24、ソース領域25、およびドレイン領域26が形成され、さらにその上にシリコン酸化膜からなるゲート絶縁膜27、ゲート電極28、シリコン酸化膜からなる層間絶縁膜29、ソース電極およびドレイン電極としての金属配線30が形成されたものである。すなわち、上記多結晶シリコン薄膜トランジスタ21は、絶縁性基板22上の多結晶シリコン薄膜を活性層24とする順スタガー（トップゲート）構造のものであるが、これに限るものではなく、逆スタガー構造などの他の構造であってもよい。

【0093】このような多結晶シリコン薄膜トランジスタ21を用いることによって、実用的な駆動能力を有するデータ信号線駆動回路3および走査信号線駆動回路4を画素アレイ2と同一基板SUB上にほぼ同一の工程で製造することができる。

【0094】また、一般に、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ（MOSトランジスタ）と比較して、特性のばらつきが大きく、特性の経時変化量も大きい。従って、クロック信号CKSと映像信号DATとのタイミングを固定したとすると、製造した全ての画像表示装置に対して良好な画像表示を保証するのは困難な場合がある。画像表示装置の数年以上にわたる使用期間中においてはなおさらである。このため、実施の形態1で述べたように、トランジスタの特性のばらつきや経時変化に対して自動的にリアルタイムで位相調整を行うことが極めて効果的である。

【0095】次に、図14(a)～(k)を用い、画像表示装置11を構成する多結晶シリコン薄膜トランジスタ21を600℃以下で形成するときの製造プロセスについて説明する。ただし、便宜上、pチャンネル型とnチャンネル型との両方を同時に製造するプロセスとし、シリコン酸化膜23の形成については省略することとする。同図において、各分図は各工程における素子の断面図を示す。

【0096】まず同図(a)に示すようなガラス基板などの絶縁性基板22上に、同図(b)に示すように非晶質シリコン薄膜31を堆積する。次いで、この非晶質シ

リコン薄膜31に同図(c)に示すようにエキシマレーザを照射し、多結晶シリコン薄膜32を形成する。そして、同図(d)に示すように、この多結晶シリコン薄膜32を所望の形状にパターニングして、後に活性層24となる部分を含んだ多結晶シリコン薄膜アイランド33を形成し、その上に同図(e)に示すようにシリコン酸化膜からなるゲート絶縁膜27を形成する。さらに、同図(f)に示すように、活性層24の上方にあたるゲート絶縁膜27上にアルミニウムなどからなるゲート電極28を形成する。

【0097】次に、同図(g)に示すように、ゲート絶縁膜27を介して多結晶シリコン薄膜アイランド33内の所定の位置にリンイオン(P⁺)を注入してn型のソース領域25およびドレイン領域26を形成する。また、同図(h)に示すように、同様に、ゲート絶縁膜27を介して多結晶シリコン薄膜アイランド33内の所定の位置に硼素イオン(B⁺)を注入してp型のソース領域25'およびドレイン領域26'を形成する。これらイオン注入工程において、注入しない領域には予めフォトリソグランドなどからなるマスク34を形成しておく。

【0098】その後、同図(i)に示すように、シリコン酸化膜または窒化シリコンなどからなる層間絶縁膜29を堆積し、同図(j)に示すように、ソース領域25およびドレイン領域26の上方にあたる層間絶縁膜29にコンタクトホール35を開口した後、同図(k)に示すようにコンタクトホール35を覆って金属配線30を形成すると多結晶シリコン薄膜トランジスタ21が完成する。上述の一連の製造工程において、プロセスの最高温度はゲート絶縁膜27形成時の600℃であるので、絶縁性基板22には例えば米国コーニング社製の1737ガラスなどの高耐熱性ガラスを使用することができる。

【0099】なお、液晶表示装置においては、この後に、さらに別の層間絶縁膜を介して透明電極（透過型液晶表示装置の場合）や反射電極（反射型液晶表示装置の場合）を形成することになる。

【0100】上述したように、図14(a)～(k)に示すような製造工程で多結晶シリコン薄膜トランジスタ21を600℃以下で形成することにより、安価で大面積のガラス基板を用いることができるようになるので、画像表示装置11の低価格化と大面積化とを図ることができる。

【0101】以上、本発明の実施の形態について幾つかを示したが、本発明は個々の実施の形態に限定されことなく、上記実施の形態を組み合わせたものについても同様に当てはまるものである。

【0102】

【発明の効果】請求項1に係る発明の画像表示装置は、以上のように、書き込まれた映像信号を画像として表示する複数の画素をマトリクス状に配置してなる画素アレ

10

20

30

40

50

イと、上記映像信号を上記画素アレイに伝搬する複数のデータ信号線と、上記データ信号線の少なくとも1つに接続されるとともに上記映像信号をサンプリングして上記データ信号線に供給する複数の映像信号出力ブロックからなるデータ信号線駆動回路と、上記映像信号を上記データ信号線に供給するタイミングの制御を行うタイミング信号を上記データ信号線駆動回路に供給するタイミング回路とを有する画像表示装置において、上記データ信号線駆動回路内に供給された上記タイミング信号に基づいた信号を2箇所からそれぞれ検出信号として出力する検出信号出力回路と、上記検出信号に基づいて上記検出信号出力回路内の遅延量を検出する遅延量検出回路と、上記遅延量に基づいて上記タイミング信号と上記映像信号との位相差を調整する位相調整回路とをさらに有する構成である。

【0103】それゆえ、2つの検出信号間の遅延量を常時モニターし、これを基にタイミング信号と映像信号とをデータ信号線駆動回路に供給するタイミングを調整するので、供給初期の遅延量のばらつきだけでなく、動作中の遅延量の変動にもリアルタイムに追従する。このため、例えば、データ信号線駆動回路を構成するトランジスタの初期特性のばらつきだけでなく、その経時変化に対しても対応することができる。ところで、この遅延量のモニターおよびタイミングの調整は常時行ってもよいが、経時変化が特に大きくない場合には、一定時間ごとまたは電源投入時のみに行うようにしてもよい。

【0104】また、2つの検出信号間の遅延量、すなわち時間差を用いているので、検出信号出力回路から位相調整回路までの配線遅延の影響は相殺される。従って、検出信号出力回路と位相調整回路とを接続する配線の負荷（抵抗および容量）が配線によって変わる場合や、その正確な値が不明である場合にも問題なく対応することができる。

【0105】この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができるという効果を奏する。

【0106】請求項2に係る発明の画像表示装置は、以上のように、請求項1に記載の画像表示装置において、上記検出信号出力回路は、上記映像信号出力ブロックと回路構成が同等で上記データ信号線に接続されないダミー回路である構成である。

【0107】それゆえ、映像信号出力ブロックと回路構成が同等でデータ信号線に接続されない、すなわち、映像信号出力ブロックと同じ信号形態をとりながら画像表示と無関係なダミー回路から検出信号を取り出すので、検出に際して画像表示に影響を与えることがないという効果を奏する。

【0108】請求項3に係る発明の画像表示装置は、以上のように、請求項1または2に記載の画像表示装置に

において、上記映像信号出力ブロックは、上記タイミング信号に基づいた信号を出力するシフトレジスタ回路と、上記シフトレジスタ回路の出力信号を増幅するバッファ回路と、上記バッファ回路の出力信号によって上記映像信号をサンプリングして上記データ信号線に供給するサンプリング回路とを有し、上記検出信号は一方が上記シフトレジスタ回路の出力信号であり、他方が上記バッファ回路の出力信号である構成である。

【0109】それゆえ、検出信号としてシフトレジスタ回路の出力信号とバッファ回路の出力信号（サンプリング信号）とを用いるので、これらの信号は、それぞれ1水平期間当たり1回だけ出力されるパルスで必ず対応し、極めて単純な回路構成の遅延量検出回路で遅延量を検出することができる。ここで、シフトレジスタ回路の出力信号は、タイミング信号より幾分遅れて出力されるが、その差はシフトレジスタ回路内での遅延時間分のみで、他の回路（バッファ回路など）内での遅延量に比べて小さいため、検出した遅延量をタイミング信号とサンプリング信号との間の位相差に換算するのは容易である。

【0110】この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができるという効果を奏する。

【0111】請求項4に係る発明の画像表示装置は、以上のように、請求項1または2に記載の画像表示装置において、上記映像信号出力ブロックは、上記タイミング信号に基づいた信号を出力するシフトレジスタ回路と、上記シフトレジスタ回路の出力信号を増幅し複数段のゲート回路からなるバッファ回路と、上記バッファ回路の出力信号によって上記映像信号をサンプリングして上記データ信号線に供給するサンプリング回路とを有し、上記検出信号は一方が上記バッファ回路の初段のゲート回路の出力信号であり、他方が上記バッファ回路の出力信号である構成である。

【0112】それゆえ、検出信号の一方をシフトレジスタ回路からゲート回路1段通過した後の信号とするので、遅延量の検出精度の問題を回避することができる。また、この場合にも請求項3の場合と同様に、極めて単純な回路構成の遅延量検出回路で遅延量を検出することができる。ただし、この構成では一方の検出信号がシフトレジスタ回路および初段のゲート回路内における遅延時間分だけ遅れているので、その分を補正することになる。しかし、この補正についても、請求項3の場合と同様に、検出した遅延量をタイミング信号とサンプリング信号との間の位相差に換算するのは容易である。

【0113】この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができるという効果を奏する。

【0114】請求項5に係る発明の画像表示装置は、以上のように、請求項1ないし4のいずれかに記載の画像表示装置において、上記検出信号出力回路と上記遅延量検出回路との間に上記検出信号を増幅するバッファ回路をさらに有する構成である。

【0115】それゆえ、検出信号をバッファ回路を介して遅延量検出回路に入力させるので、例えばバッファ回路の初段のゲート回路の入力容量を小さくすることにより、信号検出箇所の負荷の増大を影響のないレベルにまで低減させることができるとともに、バッファ回路の最終段の駆動能力を大きくすることにより、遅延量検出回路までの配線負荷などの影響が現れないようにすることができる。

【0116】この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができるという効果を奏する。

【0117】請求項6に係る発明の画像表示装置は、以上のように、請求項1ないし5のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、検出した上記遅延量の1次関数として求めた値に設定される構成である。

【0118】それゆえ、タイミング信号に対するサンプリング信号の遅延量の最適値は、2つの検出信号間の遅延量に比例する部分と、比例しない一定部分とからなると近似することができる。すなわち、タイミング信号と映像信号との位相差を最適値にするための調整時間を、2つの検出信号間の遅延量を変数とする1次関数として近似することができる。これにより、調整する位相差を極めて単純な回路で算出することができるとともに、このような回路構成を含む位相調整回路を容易に実現することができるという効果を奏する。

【0119】請求項7に係る発明の画像表示装置は、以上のように、請求項1ないし5のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、一定時間間隔を置いた離散値であり、検出した上記遅延量の1次関数として求めた値以上の大きさに設定される構成である。

【0120】それゆえ、位相調整回路が調整する位相差に相当する時間は、原クロック信号を用いて、その1周期（またはパルス幅）単位で変化させることにより一定時間間隔を置いた離散値に設定される。この原クロック信号の周波数は、データ信号線駆動回路のクロック周波数よりも数倍大きいので、原クロック信号の時間（周期）間隔での位相調整でも問題はない。さらに、サンプリング信号の立ち下がり映像信号の切り替わりよりも後になることを避けるために、上記離散値は2つの検出信号間の遅延量の1次関数として求めた値以上に設定される。

【0121】この結果、新たに高周波のクロック信号を

追加することなく十分な精度でタイミング信号と映像信号との位相調整を行うことができ、高品位の画像表示を実現することができるという効果を奏する。

【0122】請求項8に係る発明の画像表示装置は、以上のように、請求項1ないし7のいずれかに記載の画像表示装置において、上記データ信号線駆動回路が上記画素と同一基板上に形成されている構成である。

【0123】それゆえ、画像表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路とを同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率の向上を図ることができるという効果を奏する。

【0124】請求項9に係る発明の画像表示装置は、以上のように、請求項8に記載の画像表示装置において、上記検出信号出力回路が上記データ信号線駆動回路と同一基板上に形成されており、上記検出信号出力回路の出力端子には電氣的衝撃から保護する保護回路が備えられている構成である。

【0125】それゆえ、画像表示装置の製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などへの有効な対策となる。

【0126】この結果、出力端子からの静電気破壊や過大入力による破壊を抑制することができ、画像表示装置の良品率の大幅な向上を図ることができるという効果を奏する。

【0127】請求項10に係る発明の画像表示装置は、以上のように、請求項8または9に記載の画像表示装置において、少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタである構成である。

【0128】それゆえ、多結晶シリコン薄膜トランジスタを用いて能動素子を形成することにより、例えば従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタと比較して極めて駆動力の高い特性が得られるので、画素およびデータ信号線駆動回路を容易に同一基板上に形成することができるという効果を奏する。

【0129】請求項11に係る発明の画像表示装置は、以上のように、請求項10に記載の画像表示装置において、上記多結晶シリコン薄膜トランジスタが、ガラス基板上に600℃以下のプロセスで形成されている構成である。

【0130】それゆえ、600℃以下のプロセス温度で多結晶シリコン薄膜トランジスタを形成するので、歪み点温度が低いものの、安価で大型化が容易なガラスを基板として用いることができ、大型の画像表示装置を低コストで製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態における画像表示装置の構成を示すブロック図である。

【図 2】図 1 の画像表示装置の映像信号出力ブロックを 1 つにまとめて画像表示装置の構成を示すブロック図である。

【図 3】図 1 の画像表示装置の映像信号出力ブロックをより詳細に示す回路図の一例である。

【図 4】図 1 の画像表示装置の映像信号出力ブロックをより詳細に示す回路図の他の例である。

【図 5】図 1 の画像表示装置の映像信号出力ブロックをより詳細に示す回路図のさらに他の例である。

【図 6】図 1 の画像表示装置の映像信号出力ブロックをより詳細に示す回路図のさらに他の例である。

【図 7】図 3 の映像信号出力ブロックの検出信号出力側にバッファ回路を設けた回路図である。

【図 8】図 7 の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートである。

【図 9】図 8 のタイミングチャートにおける t_1 と t_2 との関係を示すグラフである。

【図 10】図 8 のタイミングチャートにおける t_1 と t_2 との関係を示す他のグラフである。

【図 11】本発明の他の実施の形態における画像表示装置の構成を示すブロック図である。

【図 12】図 11 の画像表示装置に保護回路を設けた画像表示装置の構成を示すブロック図である。

【図 13】図 11 または図 12 の画像表示装置に用いられる多結晶シリコン薄膜トランジスタの構造を示す断面図である。

【図 14】(a) ないし (k) は、図 13 の多結晶シリコン薄膜トランジスタを製造する過程を示す説明図である。

【図 15】従来の画像表示装置の構成を示すブロック図である。

【図 16】図 15 の画像表示装置における画素の構成を示す回路図である。

【図 17】図 15 の画像表示装置におけるデータ信号線駆動回路の構成を示す回路図である。

【図 18】図 17 のデータ信号線駆動回路の変形例の構成を示す回路図である。

【図 19】図 17 または図 18 の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートの一例である。

【図 20】図 17 または図 18 の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートの他の例である。

【図 21】図 17 または図 18 の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートのさらに他の例である。

【符号の説明】

1 画像表示装置
2 画素アレイ
2 a 画素

3 データ信号線駆動回路
4 走査信号線駆動回路
5 タイミング回路
5 a 遅延量検出回路
5 b 位相調整回路
6 映像信号処理回路
7 バッファ回路
7 a ゲート回路
7 b ゲート回路
10 1 1 画像表示装置
1 2 外部電源回路
1 3 保護回路
2 1 多結晶シリコン薄膜トランジスタ (能動素子)
2 2 絶縁性基板
2 3 シリコン酸化膜
2 4 活性層
2 5 ソース領域
2 5' ソース領域
2 6 ドレイン領域
2 6' ドレイン領域
2 7 ゲート絶縁膜
2 8 ゲート電極
2 9 層間絶縁膜
3 0 金属配線
3 1 非晶質シリコン薄膜
3 2 多結晶シリコン薄膜
A S a 電界効果トランジスタ
A S b 電界効果トランジスタ
30 A S_i ($i = x, 1, 2, \dots, n, y$) アナログスイッチ (サンプリング回路)
B_i ($i = x, 1, 2, \dots, n, y$) ゲートブロック (バッファ回路)
B_i' ($i = x, 1, 2, \dots, n, y$) ゲートブロック (バッファ回路)
C K G クロック信号 (タイミング信号)
C K S クロック信号 (タイミング信号)
D A T 映像信号
D_i ($i = x, 1, 2, \dots, n, y$) データ
40 G 1 インバータ (ゲート回路)
G 2 インバータ (ゲート回路)
G 3 インバータ (ゲート回路)
G 4 インバータ (ゲート回路)
G 5 NAND 回路 (ゲート回路)
G L_j ($j = 1, 2, \dots, m$) 走査信号線
G P S 同期信号
L A T_i ($i = x, 1, 2, \dots, n, y, z$)
50 ラッチ (シフトレジスタ回路)

MON1 検出信号

MON2 検出信号

 N_i 信号 S_i ($i=x, 1, 2, \dots, n, y$)

サンプリング信号

 $/S_i$ ($i=x, 1, 2, \dots, n, y$)

サンプリング信号

 SD_i ($i=x, 1, 2, \dots, n, y$)

映像信号出力ブロック

* SL_i ($i=1, 2, \dots, n$)

データ信号線

SPG スタート信号 (タイミング信号)

SPS スタート信号 (タイミング信号)

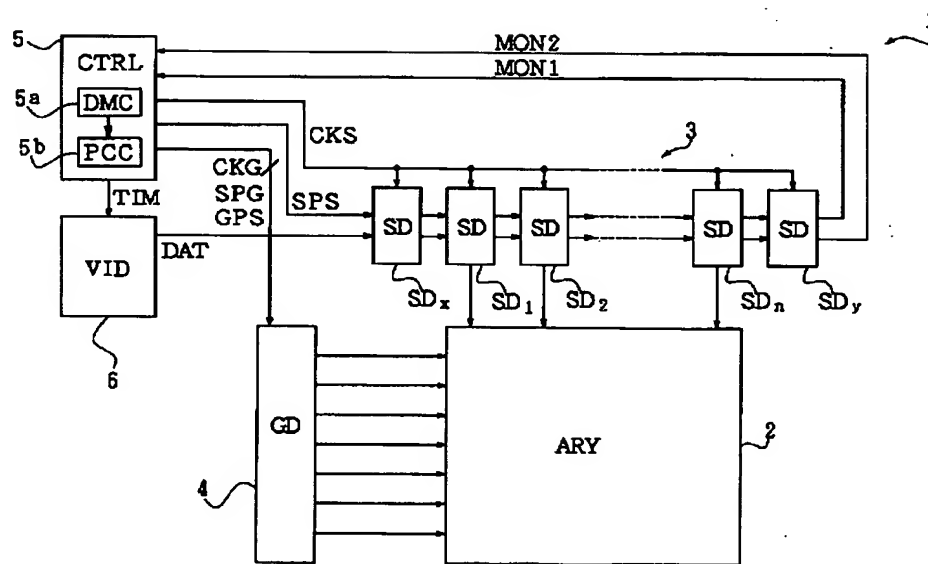
SUB 基板

 t_1 遅延量 t_2 遅延量 (位相差)

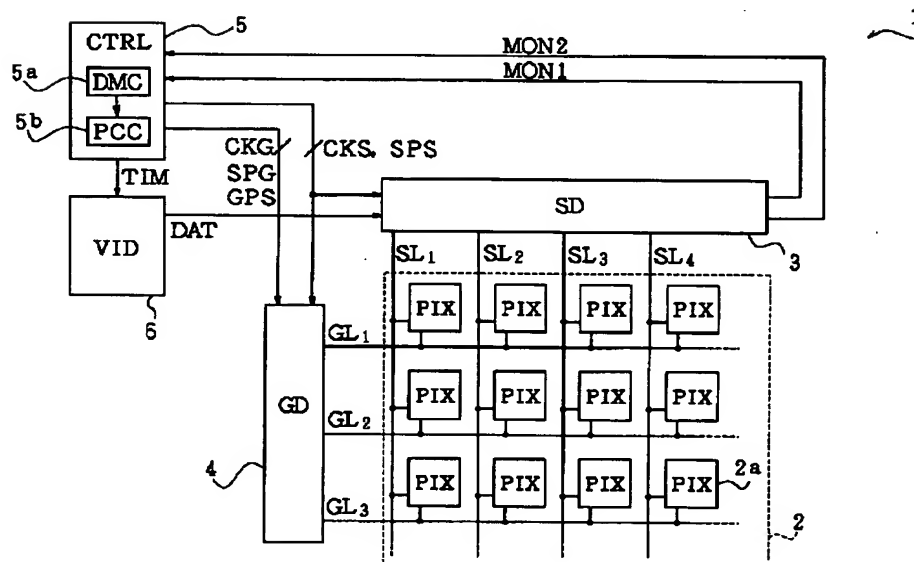
TIM 映像信号制御信号

*

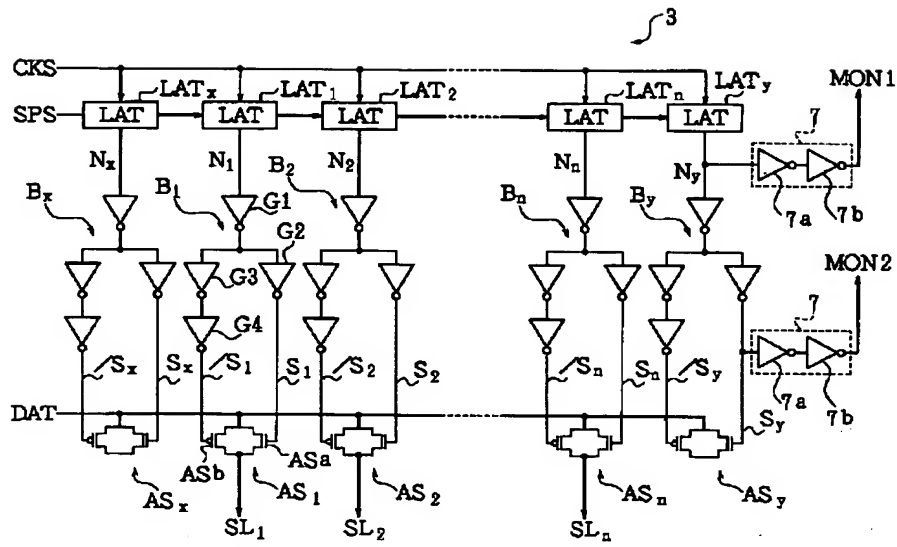
【図1】



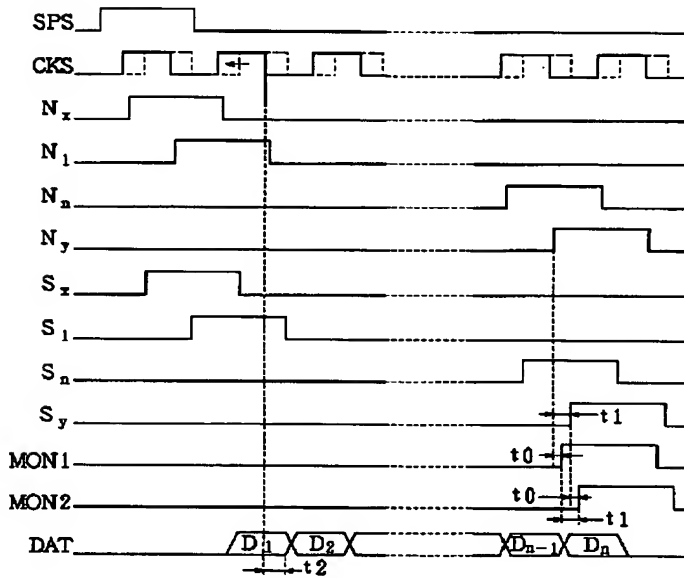
【図2】



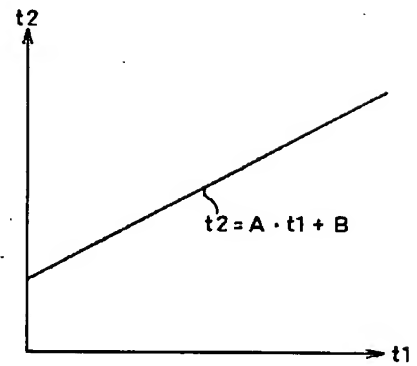
【図 7】



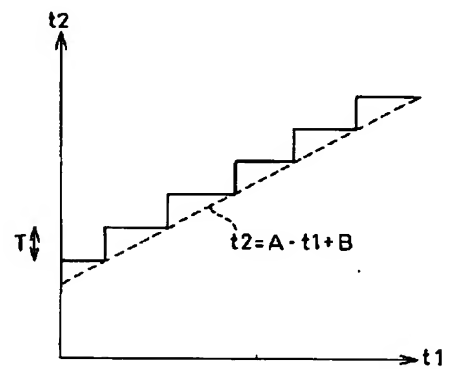
【図 8】



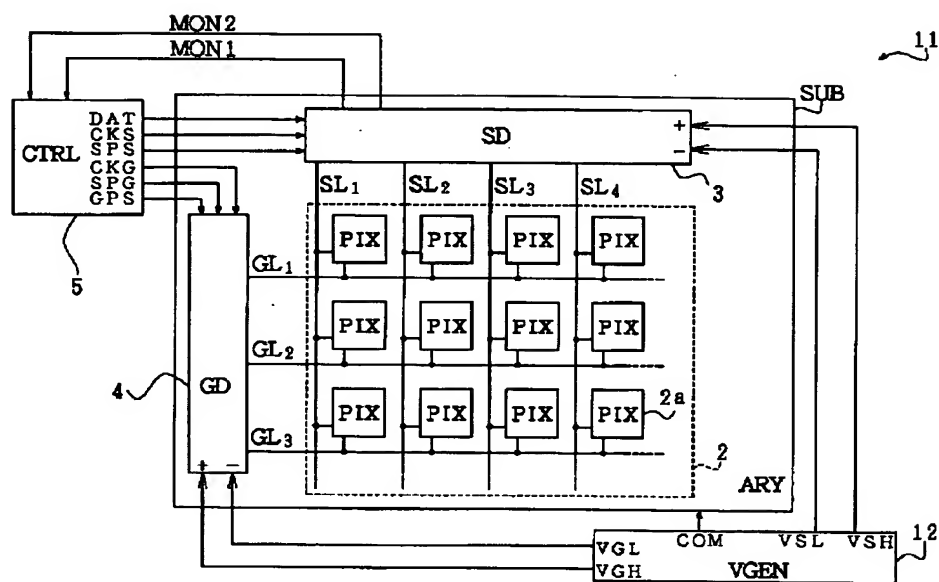
【図 9】



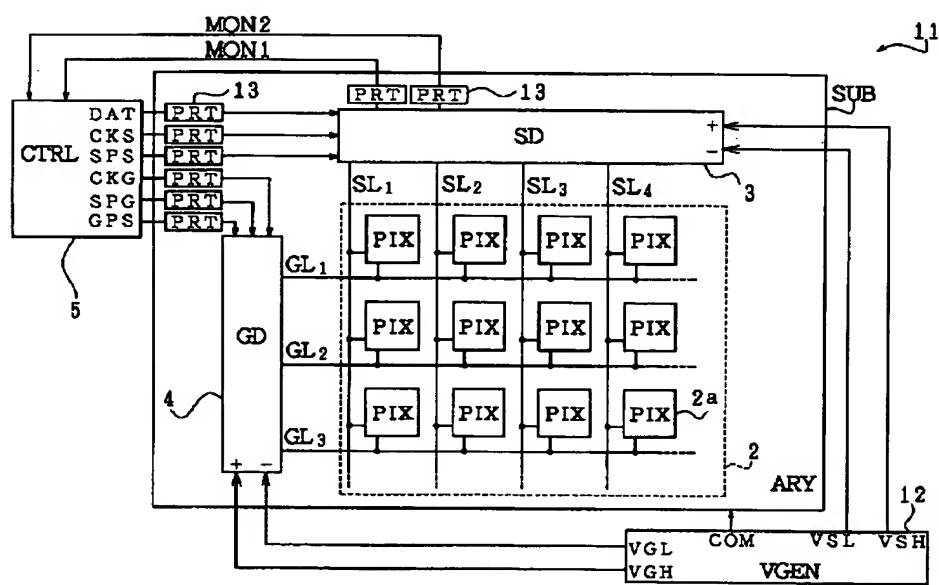
【図 10】



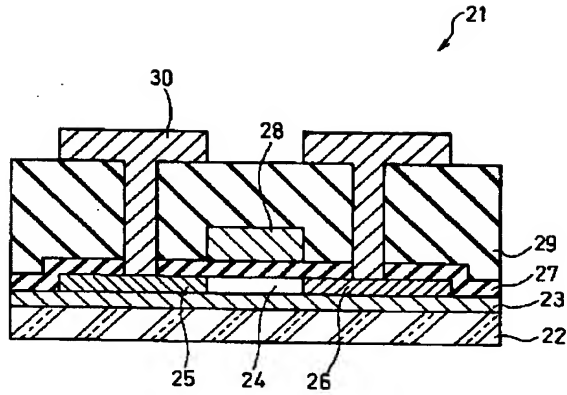
【図 11】



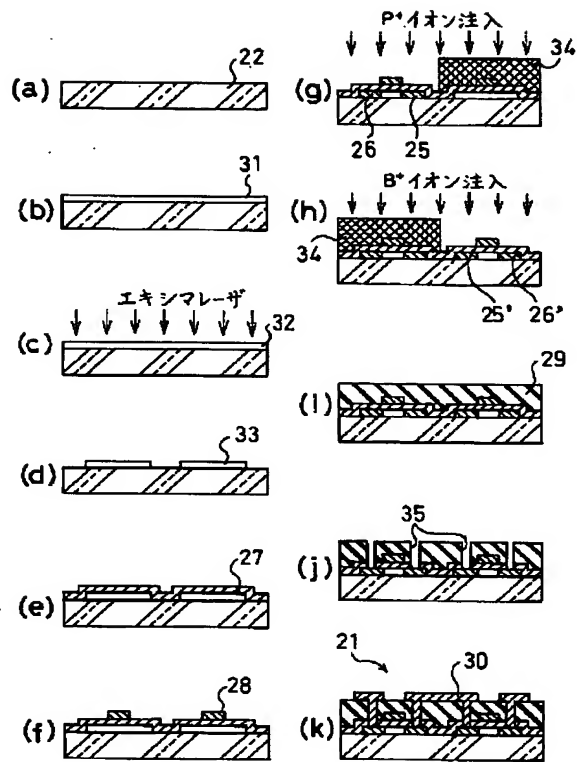
【図 12】



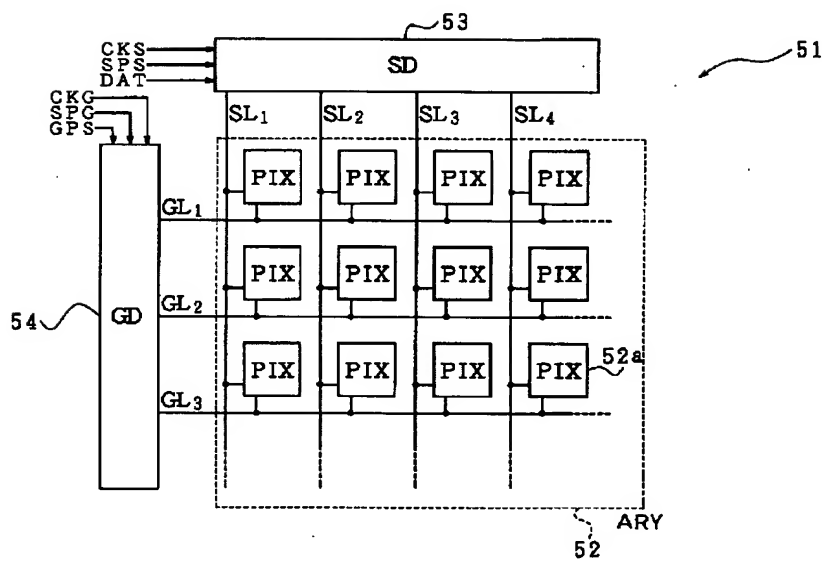
【図13】



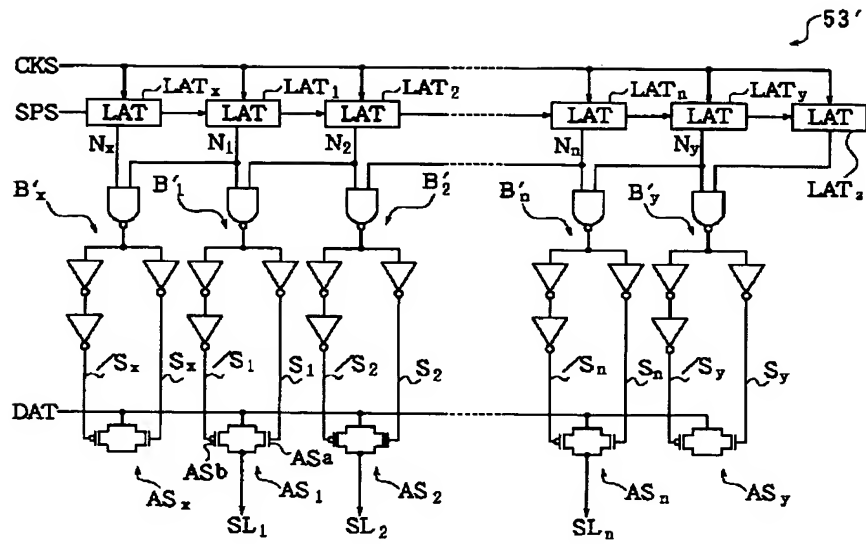
【図14】



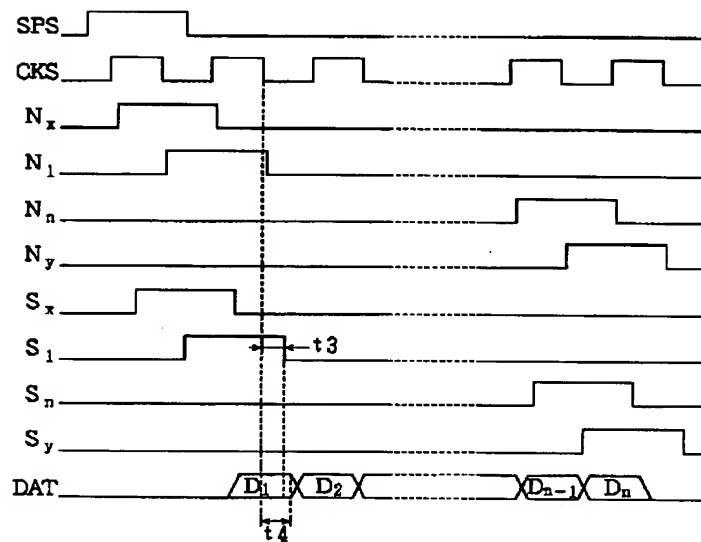
【図15】



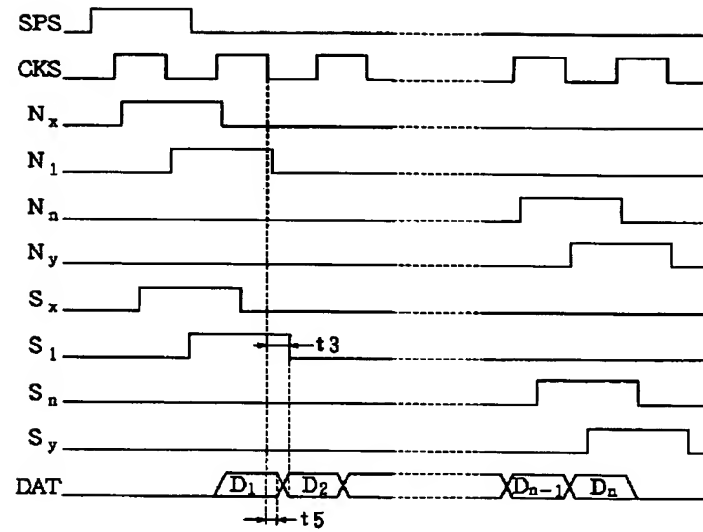
【図 18】



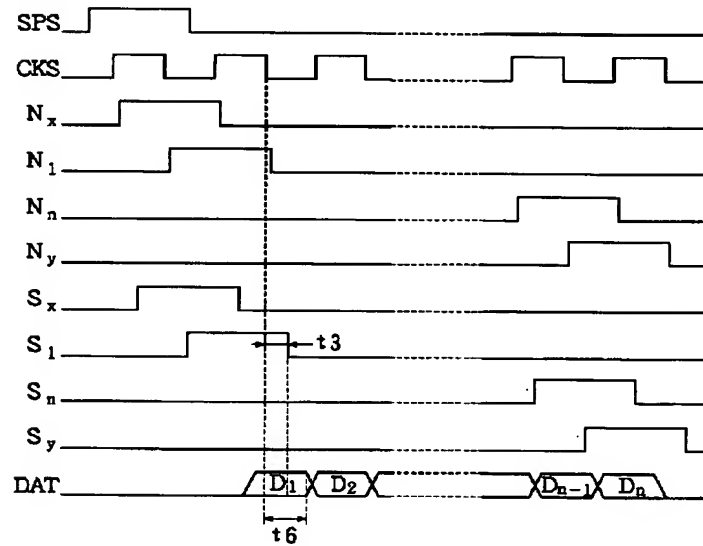
【図 19】



【図 20】



【図 21】



フロントページの続き

(72) 発明者 酒井 保
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

F ターム (参考) 5C006 AA02 AA03 AC21 AF52 AF53
AF54 AF72 AF81 BB16 BC12
BF03 BF04 BF26 BF27 FA16
FA23
5C080 AA10 BB05 DD06 DD07 EE01
EE17 EE29 FF11 GG02 GG10
JJ02 JJ03 JJ04 JJ05 JJ06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.